

JP02001889 A

DISPLAY DEVICE

SHARP CORP

Inventor(s):HANADA HARUYOSHI

Application No. 63144049 JP63144049 JP, Filed 19880610,A1 Published 19900108

Abstract: PURPOSE: To display a video on a whole screen when the number of the picture elements of an input video signal is small by converting an address, which is given to a frame memory, according to the display enlargement ratio of the video signal, in writing and reading in the frame memory.

CONSTITUTION: An address converting circuit 7 converts an address transmitted from a video data writing circuit 1 so that the same video signal is written in plural addresses of the frame memory 103. The converted address is inputted in the memory 103 through an address switching circuit 3. The circuit 1 transmits the video signal to the memory 103 through a data switching circuit 4. The video signal is written in the converted address of the memory 103. On the other hand, an address converting circuit 8 converts an address transmitted from a LCD timing signal generating circuit 2 so that the video signal is read plural times from the same address of the memory 103. The address is inputted in the memory 103 through the circuit 3. The signal read from the memory 103 is transmitted to a LCD display signal outputting circuit 5.

COPYRIGHT: (C)1990,JPO&Japio

Int'l Class: G09G00102; G06F003147 G09G00538

Patents Citing this One: No US, EP, or WO patents/search reports have cited this patent.

⑫ 公開特許公報(A)

平2-1889

⑤ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)1月8日

G 09 G 1/02
G 06 F 3/147
G 09 G 5/38

F 8121-5C
L 7341-5B
8839-5C

審査請求 未請求 請求項の数 1 (全5頁)

⑭ 発明の名称 表示装置

⑰ 特 願 昭63-144049

⑱ 出 願 昭63(1988)6月10日

⑲ 発 明 者 花 田 晴 由 大阪府大阪市阿倍野区長池町22番22号 シャープ株式会社
内

⑳ 出 願 人 シャープ株式会社 大阪府大阪市阿倍野区長池町22番22号

㉑ 代 理 人 弁理士 西 田 新

明 細 書

1. 発明の名称

表示装置

2. 特許請求の範囲

映像信号をフレームメモリに記憶し、フレームメモリから映像信号を読み出して表示する表示装置において、フレームメモリの書き込み及び読み出しにおいてフレームメモリへ与えるアドレスを映像信号の表示の拡大率に応じて変換するアドレス変換手段を備えたことを特徴とする表示装置。

3. 発明の詳細な説明

<産業上の利用分野>

本発明は、例えばパーソナルコンピュータなどの映像信号発生源からの映像信号をフレームメモリに書き込み、フレームメモリから読み出した映像信号を表示するドットマトリックス型表示装置に関するものである。

<従来の技術>

第5図はこの種の表示装置の従来の構成を示している。フレームメモリ103は、コンピュータ

100から送られてきた映像信号を記憶する。このフレームメモリ103は、そのアドレスが映像信号の画素と一対一に対応している。水平・垂直タイミング信号及びクロック信号作成回路101は、映像信号発生源であるコンピュータ100から水平同期信号Hsyncを入力し、LCD信号作成回路102によるフレームメモリ103の動作制御のためのクロック信号を作成し、また、コンピュータ100からの水平同期信号Hsyncと垂直同期信号Vsyncとを受けてLCD信号作成回路102の動作を制御する水平タイミング信号Hblankと垂直タイミング信号Vblankとを作成する。さらに、この水平・垂直タイミング信号及びクロック信号作成回路101は、コンピュータ100からのカラービデオ信号R、G、Bを受け、このカラービデオ信号をシリアルな映像信号に変換して出力する。

第6図はLCD信号作成回路102の構成を示している。ビデオデータ書き込み回路111では、水平・垂直タイミング信号及びクロック信号作成

回路101からの水平タイミング信号Hblankと垂直タイミング信号Vblankとによりフレームメモリ103への書き込みアドレス信号を作成し、これをアドレス切換回路113へ送る。また、このビデオデータ書き込み回路111は、水平・垂直タイミング信号及びクロック信号作成回路101からの映像信号をフレームメモリ103のデータフォーマットに合わせて変換し、この変換後の映像信号を書込みアドレス信号と同期させてデータ切換回路114へ出力する。ビデオデータ書き込み回路111は、さらに、書き込み/読み出し制御信号をフレームメモリ103、アドレス切換回路113及びデータ切換回路114に出力し、フレームメモリ103のデータ書き込み及び読み出しを行う。

LCDタイミング信号作成回路112では、LCD用同期信号と表示クロック信号を作成し、これらをLCD表示信号出力回路115へ出力する。LCD表示信号出力回路115では、液晶表示素子104に適合するように表示信号を変換し、この変換後の表示信号を表示クロックに同期させて液晶表示

素子104へ出力する。発振回路116は、液晶表示素子104のフレーム周波数を決める表示クロック信号を作成する。

<発明が解決しようとする課題>

上記従来の表示装置においては、映像信号発生源から送られる映像信号の画素数が例えば640×200ドットである場合、この映像信号を画面の画素数が640×400ドットである表示装置に表示する場合、画面には640×200ドット分しか表示されず、残りの半分は何も表示されない。したがって、画面の使用効率が悪いとともに、表示品位も低いという問題があった。

本発明は上記事情に鑑みてなされたものであり、その目的は、入力映像信号の画素数が画面の画素数より少ない場合に画面の全体に映像を表示できるようにした表示装置を提供することである。

<課題を解決するための手段>

上記目的を達成するために、本発明においては、映像信号発生源から入力した映像信号を画面の画素数と一対一に対応したフレームメモリに書き込

む際に同じ映像信号をフレームメモリの複数のアドレスに書き込むように書き込みアドレスを変換するアドレス変換手段、あるいは、映像信号をフレームメモリから読み出す際にフレームメモリの同じアドレスから複数回読み出すように読み出しアドレスを変換するアドレス変換手段を備える。

<作用>

前記アドレス変換手段は、入力映像信号に対して画面への表示が拡大されるように、フレームメモリの書き込みまたは読み出し時においてアドレスを変換するものである。

フレームメモリに映像信号を書き込む際にアドレス変換を行なう場合は、入力映像信号を2ヶ所以上のアドレスに書き込むようにアドレス変換手段は書き込みアドレスを変換し、フレームメモリのこの変換後のアドレスに映像信号を書き込む。したがって、例えば表示画面の1ライン目と2ライン目に対応したフレームメモリのアドレスに同じ映像信号が書き込まれた場合、表示画面に映像信号が縦方向に2倍拡大されたことになる。

また、フレームメモリから映像信号を読み出す際にアドレス変換を行なう場合は、同じアドレスから2回以上映像信号を読み出すようにアドレス変換手段は読み出しアドレスを変換し、フレームメモリのこの変換後のアドレスから映像信号を読み出す。したがって、例えばフレームメモリから1ライン目の映像信号を読み出した後、2ライン目の映像信号を読み出す時に1ライン目と同じアドレスから映像信号を読み出し、これらの映像信号を画面に表示すると、1ライン目と2ライン目の表示内容が同じとなり、表示画面に映像信号が2倍に拡大されて表示されることになる。

<実施例>

第1図は映像信号をフレームメモリに書き込む際にアドレス変換を行うシステムの構成を示しており、第2図は映像信号をフレームメモリから読み出す際にアドレス変換を行うシステムの構成を示している。

第1図のシステムは、第6図に示す従来のLCD信号作成回路102にフレームメモリ103への

書き込みアドレスを変換するアドレス変換回路7を付加したもので、これ以外の構成は従来と同様である。

アドレス変換回路7は、ビデオデータ書き込み回路1から送られてきたアドレスを同じ映像信号をフレームメモリ103の複数のアドレスに書き込むように変換する。この変換後のアドレスは、アドレス切換回路3を通してフレームメモリ103に入力される。ビデオデータ書き込み回路1は、データ切換回路4を経て映像信号をフレームメモリ103へ送る。この映像信号は、フレームメモリ103の上記変換後のアドレスに書き込まれる。

第2図のシステムは、第6図に示す従来のLCD信号作成回路102にフレームメモリ103への読み出しアドレスを変換するアドレス変換回路8を付加したもので、これ以外の構成は従来と同様である。

アドレス変換回路8は、LCDタイミング信号作成回路2から送られてきたアドレスをフレームメモリ103の同じアドレスから映像信号を複数

回読み出すように変換する。この変換後のアドレスは、アドレス切換回路3を通してフレームメモリ103に入力される。フレームメモリ103のこのアドレスから読み出された映像信号は、データ切換回路4を経てLCD表示信号出力回路5へ送られる。

第3図は第1図のシステムにおける信号のタイミングを示しており、第4図は第2図のシステムにおける信号のタイミングを示している。以下、この第3図と第4図を参照して動作を説明する。なお、以下の説明において、フレームメモリ103として8ビット構成のスタティックRAMを使用し、入力映像信号の画素数は640×200ドット、表示画面の画素数は640×400ドットとする。すなわち、640×200ドットの映像信号を640×400ドットに拡大する。

まず、フレームメモリ103に映像信号を書き込むときにアドレス変換を行なう場合、1ライン目の入力映像信号は、アドレス変換回路7において変換されたアドレスすなわち表示画面の1ライ

ン目及び2ライン目に対応したアドレス0000H～004FH及び0050H～009FH（アドレスは16進数表示とする）に書き込まれる。同様に、2ライン目の入力映像信号は、表示画面の3ライン目及び4ライン目に対応したアドレス00A0H～00EFH及び00F0H～013FHに書き込まれる。以下同様の方法により、200ライン目までの入力映像信号がフレームメモリ103に書き込まれる。

フレームメモリ103から映像信号を読み出すときは、従来通り1ライン目から順に400ラインまでの映像信号を読み出す。そして、この映像信号が画面に表示されると、縦方向の2ラインは同じ映像信号が表示され、結局、入力映像信号に対して縦方向に2倍に拡大された映像が表示される。

次に、フレームメモリ103から映像信号を読み出すときにアドレス変換を行なう場合、フレームメモリ103に入力映像信号を書き込むときは、従来通り1ライン目から順に200ラインまでの

入力映像信号がフレームメモリ103の所定のアドレスに書き込まれる。

フレームメモリ103から映像信号を読み出すとき、まず、1ライン目の入力映像信号が書き込まれているフレームメモリ103のアドレス0000H～004FHから映像信号が読み出される。次に、表示画面の2ライン目の映像信号を読み出すとき、アドレス変換回路8において変換されたアドレスすなわち1ライン目の入力映像信号と同じ映像信号のアドレスつまりフレームメモリ103のアドレス0000H～004FHから1ライン目と同じ2ライン目の映像信号が読み出される。表示画面の3、4ライン目の映像信号としては、2ライン目の入力映像信号が書き込まれているアドレス0050H～009FHから同じ映像信号が2度読み出される。以下、同様の方法により、400ラインまでの映像信号がフレームメモリ103から読み出され、画面に表示される。結局、画面には縦方向の2ラインに同じ映像信号が表示され、入力映像信号に対して縦方向に2倍に拡大された

映像が表示される。

< 発明の効果 >

以上説明したように、本発明においては、映像信号発生源からの映像信号の画素数が画面の画素数より少ないとき、フレームメモリの書き込みアドレスあるいは読み出しアドレスを変換して画面に拡大表示できるようにしたので、画面を有効に利用できるとともに、表示品位が向上する。

4. 図面の簡単な説明

第1図と第2図は本発明実施例の構成を示すブロック図、

第3図と第4図は本発明実施例の信号のタイミングチャート、

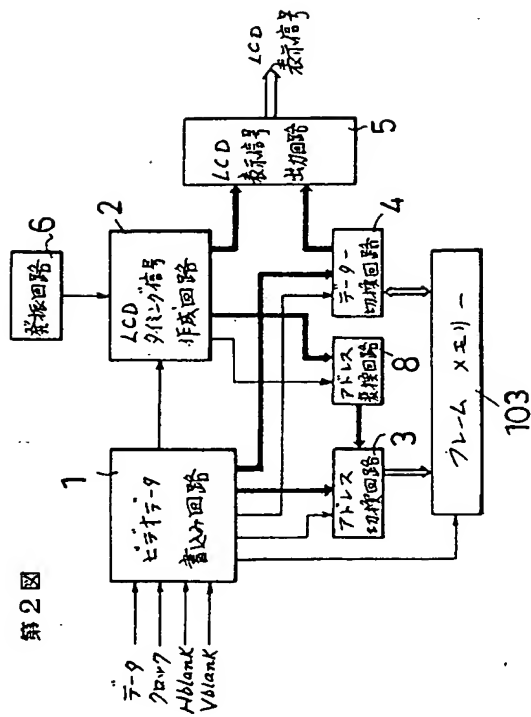
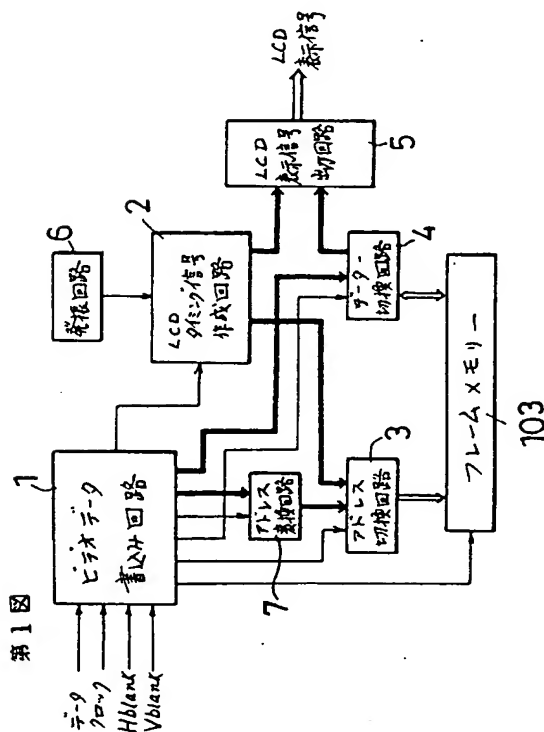
第5図と第6図は従来例の構成を示すブロック図である。

- 1 ビデオデータ書き込み回路
- 2 LCDタイミング信号作成回路
- 3 アドレス切換回路
- 4 データ切換回路
- 5 LCD表示信号出力回路

- 6 発振回路
- 7, 8 アドレス変換回路
- 103 フレームメモリ
- 104 LCD

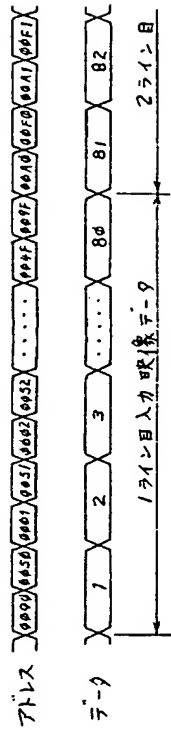
特許出願人
代理人

シャープ株式会社
弁理士 西田 新

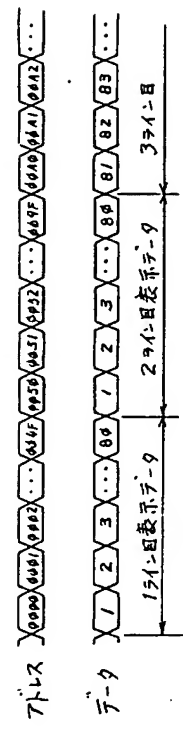


第3図

a) 書込み

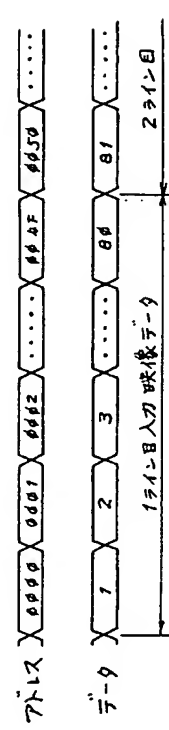


b) 読出し

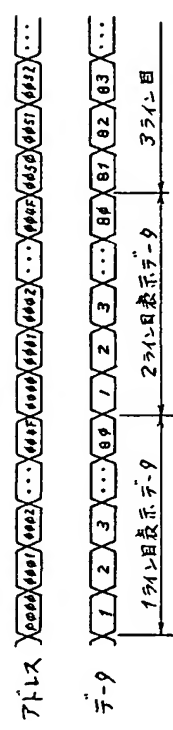


第4図

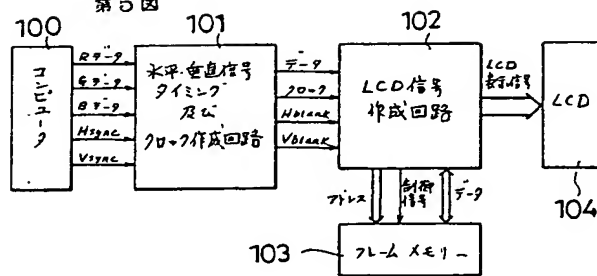
a) 書込み



b) 読出し



第5図



第6図

